



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09179948 A**(43) Date of publication of application: **11 . 07 . 97**

(51) Int. Cl. **G06K 17/00**  
**G06F 3/08**  
**G06F 11/10**  
**G06F 13/00**

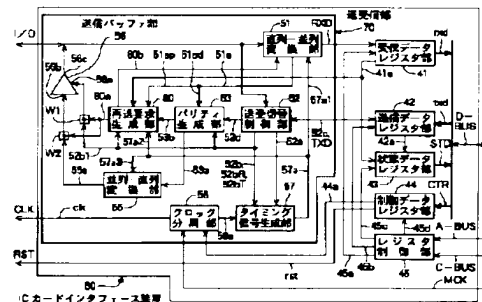
(21) Application number: **07335384**(22) Date of filing: **22 . 12 . 95**(71) Applicant: **SONY CORP**(72) Inventor: **IMURA SHIGERU**(54) **IC CARD INTERFACE DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To securely receive data supplied from the side of an IC card without increasing the hardware constitution of a received data register, etc., as to the interface device which controls a half-duplex asynchronous communication between the IC card and electronic equipment.

**SOLUTION:** At the moment data RXD received by a transmission and reception part 70 is stored in a received data register part 41, a received data flag 41a is set. When the received data RXD stored in the received data register part 41 is inputted to a CPU side through a data bus D-BUS, the received data flag 41a is reset. A request-to-resend generation part 80, when receiving new data and the flag 41a is set, generates a request-to-resend signal 80a making use of a function for a request to resend accompanying a parity error and outputs it to a transmitting buffer part 56 to request the IC card side to resend the same data.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-179948

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 K 17/00			G 0 6 K 17/00	D
G 0 6 F 3/08			G 0 6 F 3/08	C
11/10	3 2 0		11/10	3 2 0 D
13/00	3 0 1		13/00	3 0 1 Q

審査請求 未請求 請求項の数 1 O L (全 12 頁)

(21) 出願番号 特願平7-335384

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日 平成7年(1995)12月22日

(72) 発明者 井村 滋

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

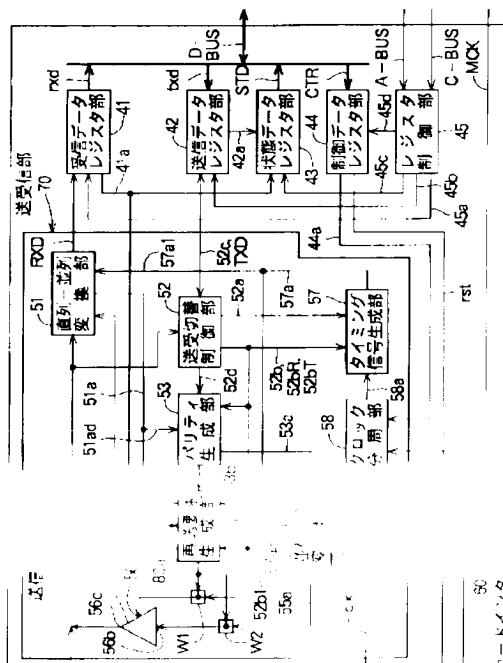
(74) 代理人 弁理士 小池 晃 (外 2 名)

(54) 【発明の名称】 ICカードインタフェース装置

(57) 【要約】

【課題】 ICカードと電子機器との間で半二重非同期通信の制御を行なうインタフェース装置において、受信データレジスタ等のハード構成を増加させることなく、ICカード側から供給されるデータを確実に受信できるようにする。

【解決手段】 送受信部 70 で受信した受信データ RXD を受信データレジスタ部 41 に格納した時点で、受信データレジスタ部 41 a をセットする。受信データレジスタ部 41 に格納された受信データ rx d がデータバス D-BUS を介して図示しない CPU 側に取り込まれると、受信データレジスタ部 41 a をリセットする。再送要求生成部 80 は、新たなデータを受信する際に、受信データ



## 【特許請求の範囲】

【請求項1】 CPUとメモリとを内蔵するICカードと、このICカードを利用する電子機器のCPUとの間に配置され、半二重非同期通信によってデータの転送を制御するICカードインタフェース装置において、電子機器側のCPUに受け渡すために受信データを一時記憶しておく受信データレジスタと、

この受信データレジスタに受信データが格納されている場合は、ハルチエラーに伴う再送要求を利用して同一データの再送をICカード側へ供給することで、受信データのフロー制御を行なう再送要求生成部とを備えたことを特徴とするICカードインタフェース装置

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、マイクロプロセッサ(CPU)内蔵のICカードと、このICカードが装着される電子機器との間で、半二重非同期通信でデータ伝送を行なうためのデータインタフェース装置に係り、詳しくは、電子機器側のデータインタフェース装置の受信データが満杯の場合は、ハルチエラー発生時のデータ再送信機能も利用して、同一データを再送信させることで、受信データを確実に取り込めるようにしたデータインタフェース装置に関するものである

## 【0002】

【従来の技術】半二重非同期通信の技術を適用したCPU内蔵のICカードは、ISO7816標準等で知られている。図3はISO標準のICカードの外部接続端子の説明図である。ICカード10は、6個の外部接続端子C1～C3、C5～C7を備えている。なお、ISOでは、2個の予備端子C4、C8を将来のための予備端子として用意している

【0003】Vcc端子C1は、ICカード10に回路電圧Vccを供給するための電源供給端子である。RST端子C2は、リセット信号の供給端子である。このRST端子C2に供給するリセット信号の論理レベルに応じて、ICカード10を待機状態または動作状態に制御できる

【0004】CLK端子C3は、ICカード10に内蔵されているCPUを動作させるためのクロック信号の供給端子である。このCLK端子C3から供給されたクロック信号は、ICカード10内の分周回路で分周され、半二重非同期通信を行なうためのビットクロックとしても利用される。GD端子C5は、グランド端子である

であり、ICカード10とこのICカード10を装着した受送する電子機器20との間で、データ伝送を行なうために使用される

【0007】図4はICカード10およびこのICカード10が装着される電子機器20のブロック構成図である。ICカード10は、CPU11と、プログラマメモリ12と、データメモリ13と、インタフェース回路部14とを備えている。プログラマメモリ12には、半二重非同期通信を行なうためのプログラム、さらに、データメモリ13から読み出し、データメモリ13の書き込み等の制御プログラムが格納されている。データメモリ13は、一時データを格納するためのものであり、不揮発性メモリで構成されている。インタフェース回路部14は、半二重非同期通信を行なうための回路を備えている

【0008】CPU11は、電子機器20からインタフェース回路14を介して動作状態を要求するリセット(RST)信号が供給されると、インタフェース回路14を介して供給されるクロック(CLK)信号に基づいて動作を開始する。CPU11は、半二重非同期通信によって受信した各種の制御データに基づいて、データメモリ13に格納されているデータを読み出して電子機器20側へ出力したり、電子機器20側から供給されるデータをデータメモリ13へ書き込む

【0009】電子機器20は、ICカードインタフェース装置40と、CPU21と、電源部22と、図示しないプログラマメモリ、データメモリ、操作部、表示部等のこの電子機器20としての機能を実現するための各種回路部を備える。

【0010】ICカード10と電子機器20の間では、インタフェース回路部14とICカードインタフェース装置40を介して、半二重非同期通信でデータの伝送を行なう

【0011】図5は半二重非同期通信のデータ伝送のシーケンスの説明図である。スタートビットB1は、常に論理レベル1で始まる。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

【0012】ISO7816標準では、8ビットのデータを正論理で下位ビットから上位ビットの順に送信する正論理先頭下位ビットフォーマットと、8ビットのデータを負論理で上位ビットから下位ビットの順に送信する負論理先頭上位ビットフォーマットとの、2種類のフォーマットがある

【0013】図6は正論理先頭下位ビットフォーマットのデータ伝送のシーケンスの説明図である。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

【0014】図7は負論理先頭上位ビットフォーマットのデータ伝送のシーケンスの説明図である。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

【0015】図8は正論理先頭下位ビットフォーマットのデータ伝送のシーケンスの説明図である。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

【0016】図9は負論理先頭上位ビットフォーマットのデータ伝送のシーケンスの説明図である。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

【0017】図10は正論理先頭下位ビットフォーマットのデータ伝送のシーケンスの説明図である。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

【0018】図11は負論理先頭上位ビットフォーマットのデータ伝送のシーケンスの説明図である。スタートビットB1に続く8ビットD1～D8は、データバスである。このデータビットD1～D8は、交換されるデータのものである

ット32を設けている。ISO7816標準では、偶数バリエーションを採用している。例えば、データビットD1～D8の8ビット中の1～8ビット数が奇数の場合は、バリテックビット32をHレベルとし、データビットD1～D8の8ビットとバリテックビット32との全体でHレベルの個数が偶数となるようバリテックビット32の論理レベルが決定される。伝送フォーマットが正論理先頭下位ビットフォーマットの場合は、バリテックビット32も正論理を用い、伝送フォーマットが負論理先頭上位ビットフォーマットの場合は、バリテックビット32も負論理を用いる。

【0014】受信側は、バリテックビット32を送信した後、所定の時間の間、IC端子C7をHレベル（または高インピーディング）に保持する。受信側はバリテックチェックを行なった結果、バリテックエラーが検出された場合には、1レートの再送要求（ギャラクタ再送要求）32を送信することで、送信側機器4のデータを再度送信する規定になっている。受信側で1レベルの再送要求32を送出するタイミングは、10.5ビットに相当するタイミングからで、1レベルの再送要求32の送出時間は最小で1ビット分、最大で2ビット分である。図5では、1.5ビット分の期間1レベルの再送要求32を送出する場合を、仮想線で示した。

【0015】図6は、電子機器20側に設けられる従来のICカード用、データアクセス装置40のブロック構成図である。従来のICカード用データアクセス装置40は、図4に示した電子機器20側のCPU21のデータバスD-BUSに接続された受信データレジスタ部41と、送信データレジスタ部42と、状態データレジスタ部43と、制御データレジスタ部44と、電子機器20側のCPU21のアドレスバスA-BUSならびに制御バスC-BUSに接続されたレジスタ制御部45と、二重同期通信の送受信部50とを備えている。

【0016】受信データレジスタ部41は、送受信部50から出力される受信データRXDを一時記憶する。また受信データレジスタ部41は、CPU21に接続された受信データバッファメモリにある場合は、バッファメモリに受信データがある旨の信号（データ受信フラグ）41aを状態データレジスタ部43へ供給する。また、この受信データレジスタ部41は、レジスタ制御部45から受信データ出力指令45aが供給されると、バッファメモリに格納してある受信データx dをデータバスD-BUSへ

データに基づいて指定されたアドレスに対応して、受信データx dの下位ビット～上位ビットデータの各格納位置に、受信データの下位ビット～上位ビットデータのデータを格納するようにしている。したがって、データバスD-BUS上へ出力される受信データx dは、二重同期通信の伝送フォーマットに拘らず、データバスの下位ビット～上位ビットに対して、10ワード10側から供給されたデータの低位ビット～上位ビットに対応している。

【0018】送信データレジスタ部42は、データバスD-BUSを介してCPU21から供給される送信データx dを一時記憶するための送信データメモリを備える。この送信データレジスタ部42は、送受信部50において送信データx dを格納した送信データTXDが送信されると、送信データメモリが空の状態であることを示す信号42aを状態データレジスタ部43へ供給する。また、この送信データレジスタ部42は、レジスタ制御部45から送信データ読み込み指令45bが供給されると、データバスD-BUS上へ供給されている送信データx dを送信データメモリに読み込む。

【0019】状態データレジスタ部43は、受信データレジスタ部41から供給される受信データがある旨の信号41a、ならびに、送信データレジスタ部42から供給される送信データメモリが空の状態であることを示す信号42aに基づいて、受信データの有無、ならびに、新たな送信データの受入れが可能か否かの通信に係る状態を管理し記憶している。そして、この状態データレジスタ部43は、レジスタ制御部45から送受信状態出力要求45cが供給されると、受信データの有無ならびに送信データの受入れが可能か否かの送受信に係る状態データSTDを、データバスD-BUS上へ供給する。

【0020】制御データレジスタ部44は、CPU21から供給される制御データを格納するレジスタを備える。この制御データレジスタ部44は、レジスタ制御部45から制御データ読み込み指令45dが供給されると、データバスD-BUS上へ供給される制御データCTRDを読み込み一時記憶する。そして、この制御データレジスタ部44は、読み込みが制御データCTRがICカード10に対するアクセス要求である場合は、ICカード10を動作状態に制御するためのリセット信号rstをICカード端子RSTを介してICカード10側へ供給する。また、クロック供給指令44aを送受信部50

【特許請求の範囲】  
1. データバスに接続された電子機器と、前記電子機器と二重同期通信を行うICカードとを備えるデータアクセス装置において、前記電子機器は、

ICカードに接続されたデータバスと、前記データバスに接続された送受信部と、前記送受信部を介して前記ICカードと二重同期通信を行うデータアクセス装置において、前記ICカードは、

る。レジスタ制御部45は、このレジスタデータの抽出により、制御バスC-BUS上に供給される読み出しデータ及び信号、書き込みタイプ、アドレスに基づいて、レジスタデータによって指定された各レジスタ部41～44に対して指令（受信データ出力指令45a、送信データ読み出し指令45b、送受信状態出力要求45c、制御データ読み出し指令45d）を生成して出力する。

【0022】平行同期同期通信の受信部50は、データ入出力端子1（Oを介してICカード10側から供給される、パルス信号）をパラレルデータ信号へ変換し、変換したデータを受信データRXDとして出力する。直列・並列変換部51と、送信状態を受信状態との切り替わりを制御する送受切替制御部52と、受信時に受信データに基づいて内部パリティビットがデータ53bを生成するとともに、送信状態ではパリティビットを付加した送信データ53aを生成するパリティ生成部53を備える。送受信部50は、再送要求信号54aの生成ならびに送出を行なう再送要求生成部54と、パリティビットが付加されたパラレルデータの送信データ53aをパラレルデータの送信データ55aへ変換する並列・直列変換部55と、送信データ55aならびに再送要求信号54aをデータ入出力端子1（Oを介してICカード10側へ）送出する送信バス制御部56と、送受信に必要な各種のタイミング信号57aを生成するタイミング信号生成部57を備える。さらに、送受信部50は、電子機器20側から供給されるクロック信号CLOCKを分周し、クロック端子C1Kを介してICカード10側のクロック信号c1kを供給するとともに、タイミング信号生成部57へタイミング生成に必要な基準クロック58aを供給するクロック分周部58を備える。

【0023】送受切替制御部52は、送信データレジスタ部42に送信データが格納されていない場合には、送受信部50を受信待機状態に制御する。受信待機状態にあって送受切替制御部52は、データ入出力端子1（O端子）の信号を監視しており、ICカード10側から送信データがスタートビット31を抽出すると、スタートビットを抽出した信号52aを生成し、生成したスタートビットを抽出した信号52aをタイミング信号生成部57へ供給する。

【0024】タイミング信号生成部57は、スタートビットを抽出した信号52aに基づいて、このタイミング信号生成部57内に設けられたカウンタをリセットすること、カウンタを利用して各種のタイミング信号生成

D1～D8を順番にパリティビット32のデータを順次取り込む一連として、直列・並列変換部51は、受信データレジスタバス51aを介して、受信データレジスタD1～D8の各データ51a,dをパリティ生成部53へ供給し、また受信データレジスタビット51a,pを再送要求生成部54へ供給して供給する。

【0026】送受切替制御部52は、送受信状態指示バス52bを介して、受信状態にあるときと受信状態であることを示す受信データ信号52b,Rと、送信状態にあるときは送信状態であることを示す送信データ信号52b,Tを、各回路部へ供給している。

【0027】パリティ生成部53は、送受信状態指示バス52bを介して供給される受信データ信号52b,Rに基づいて受信データにあることを検出した場合は、受信データレジスタバス51aを介して供給される受信データ51a,d（D1～D8）に基づいてパリティビットデータ53bを生成して、生成したパリティビットデータ53bを再送要求生成部54へ供給する。

【0028】再送要求生成部54は、送受信状態指示バス52bを介して供給される受信データ信号52b,Rに基づいて受信データにあることを検出した場合は、パリティ生成部53から供給されるパリティビットデータ53bと、受信データレジスタバス51aを介して供給される受信データレジスタデータ51a,pとを比較し、両者のパリティビットデータが一致の場合はパリティ一致検出信号54bを出力し、不一致の場合はエラーの再送要求信号54aを生成して出力する。

【0029】再送要求生成部54は、タイミング信号生成部57から供給される再送要求送出タイミング信号57a,2に基づいて、図5に示した再送要求送出タイミングで再送要求信号54aを生成・出力する。この再送要求信号54aは、サイズによって回路W1を介して送信データ部56の送信許可端子56aへ供給されるとともに、サイズによって回路W2を介して送信データ部56の送信データ入力端子56bへ供給される。

【0030】送信データ部56は、送信許可端子56aに供給される信号がHレベルの場合には、出力端子56cを高インピーダンス状態に保持し、送信許可端子56aに供給される信号がLレベルの場合には、送信データ入力端子56bに供給される論理レベルの信号をデータ入出力端子1（Oを介してICカード10側へ）送出するよう構成されている。

【0031】直列・並列変換部51は、再送要求生成部

【0032】直列・並列変換部51は、タイミング信号生成部57から供給される送信データ抽出タイミング信号57a,1に基づ

いて、送信データレジスタD1～D8のデータを順次取り込む一連として、直列・並列変換部51は、

【0033】送受切替制御部52は、受信待機状態に

タ部4-2に未送信の送信データTXDがあるかをチェックしている。送受切替制御部5-2は、送信データレジスタ部4-2に未送信の送信データTXDがある場合は、送信状態であることを示す送信モード信号5-2b-1を各路路部へ供給するとともに、送信データレジスタ部4-2から送信データTXDを取り込んで、取り込んだ送信データTXDを送信データ5-2d-1としてハリテラ生成部5-3へ供給する。

【0033】ハリテラ生成部5-3は、送信モード信号5-2b-1に基づいて送信モードであることを検出した場合は、送受切替制御部5-2から供給される送信データ5-2d-1(TXD)に対してハリテラビットデータを生成し、ハリテラビットを付加した送信データ5-3aを並列→直列変換部5-5へ供給する。

【0034】並列→直列変換部5-5は、パラレル入力/シリアル出力型のシフトレジスタを備え、このシフトレジスタにハリテラ生成部5-3から供給されるハリテラビットを付加した送信データ5-3aを格納する。また並列→直列変換部5-5は、先頭ビットに1ビットのスタートビットを付加し、タイミング信号生成部5-7から供給される送信タイミング信号5-7a-3に基づいて、スタートビットの送信データ5-5aを生成するとともにこの送信データ5-5aを、ライブラリ回路W2を介して、送信データ部5-6の送信データ入力端子5-6bへ供給する。

【0035】送受切替制御部5-2は、送信モードにあるときは、1ビットの送信データ動作指示信号5-2b-1を、ライブラリ回路W2を介して、送信データ部5-6の送信許可端子5-6aへ供給して、送信データ部5-6を動作可能な状態に制御している。したがって、並列→直列変換部5-5から出力された送信データ5-5aは、送信データ部5-6を介してデータ出力端子1-10からICカード1-0側へ送出される。

【0036】図7は従来のICカードと、タフウェア装置4-0の動作を示すフローチャートである。ICカードインタフェース装置4-0は、電源が投入されると受信待機状態となり、この受信待機状態ではスタートビットの検出動作が継続される(ステップS1)。ICカードインタフェース装置4-0は、ステップS1で、ICカード1-0側から送信されたスタートビットを検出すると、ステップS2でスタートビットに続いて送信されるデータを受信する。ICカードインタフェース装置4-0は、受信した各データのデータ1～D8に基づいて、内部ハリ

要求5-4aが発生した後、ステップS1に戻って再送されるデータの受信に備える。ICカードインタフェース装置4-0は、ハリテラデータが一致した場合、受信したデータ1～D8を受信データレジスタ部4-1へ格納し(ステップS7)、データ受信フラグをセットし(ステップS8)、ステップS1に戻って次のデータ受信に備える。または、ICカードインタフェース装置4-0は、ステップS8で、データ受信フラグをセットした後、CPU2-1がデータ受信フラグを検出して、受信データレジスタ部4-1に格納した受信データを取り込むまで、受信動作を停止させる。

【0038】なお、データ受信フラグのセットは、データ受信レジスタ部4-1に受信データが格納されることで、受信データがある旨の信号4-1aが出力されること、ならびに、この受信データがある旨の信号4-1aによって、状態レジスタ部4-3が受信データある状態にセットされることをいう。

【0039】  
【発明が解決しようとする課題】以上説明したようにICカード1-0とICカードインタフェース装置4-0との間のデータ伝送は、エラーが発生した際にデータの再送を行なうことができる通信規約となっているが、受信データ、レジスタ部4-1に格納した受信データを電子機器側のCPU2-1が取り込むことができない場合には、次の送信を一時停止させるといったデータフロー制御が可能な通信規約にはなっていない。

【0039】

【発明が解決しようとする課題】以上説明したようにICカード1-0とICカードインタフェース装置4-0との間のデータ伝送は、エラーが発生した際にデータの再送を行なうことができる通信規約となっているが、受信データ、レジスタ部4-1に格納した受信データを電子機器側のCPU2-1が取り込むことができない場合には、次の送信を一時停止させるといったデータフロー制御が可能な通信規約にはなっていない。

【0040】このため、ISO7816標準を適用するICカードインタフェース装置4-0では、電子機器2-0側のCPU2-1が、電子機器2-0側の他の処理動作のために、受信データレジスタ部4-1に格納した受信データを速やかに取り込むことができない状態を想定して、複数回の受信データレジスタを用意しておき、ICカード1-0側から順次送られてくるデータも、各受信データレジスタに順次格納し、複数回の受信データレジスタが満杯になる前に、全受信データレジスタからの受信データを順次読み出すようにする必要があった。

【0041】ここで、受信データレジスタの数が増え、データの転送速度、電子機器2-0側のCPU2-1の処理能力に応じて適宜設定されることになるが、増設する受信データレジスタとそれらを制御するための制御回路が増加することになり、ICカードインタフェース装置4-0のハード構成が複雑になるとともに、消費電力の増加になる。

【0042】図8は、従来のICカードインタフェース装置4-0のハード構成を示すブロック図である。図8に示すICカードインタフェース装置4-0は、IC

カードインタフェース装置4-0は、図8に示すように、ICカード1-0とICカードインタフェース装置4-0との間のデータ伝送は、エラーが発生した際にデータの再送を行なうことができる通信規約となっているが、受信データ、レジスタ部4-1に格納した受信データを電子機器側のCPU2-1が取り込むことができない場合には、次の送信を一時停止させるといったデータフロー制御が可能な通信規約にはなっていない。

ード規模の増加は好ましくない。

【0043】また、複数回の受信データレジスタを設けるようにするために、処理速度の高いCPUを採用することも考えられるが、一般に処理速度を高めると消費電力が増加するので、電池動作型の電子機器では、電池での連続動作時間と兼ね合いで、高速のCPUを採用できない場合がある。一方、データ伝送処理を最優先で行なうことも考えられるが、電子機器の操作入力に対する応答遅れ等が発生する虞れもあり、望ましくない。

【0044】この発明はこのような課題を解決するためなされたもので、受信データレジスタ等のハード構成を増加させることなく、ICカード側から供給されるデータを確実に受信することのできるICカードインタフェース装置を提供することを目的とする。

【0045】

【課題を解決するための手段】前記課題を解決するための発明にICカードインタフェース装置は、受信データレジスタに受信データが格納されている場合は、パリティエラーに伴う再送要求を利用して同一データの再送をICカード側へ供給すること、受信データのフロー制御（受信データの取り込みによるフロー制御）を行なう再送要求生成部を備えたことを特徴とする。

【0046】再送要求生成部は、受信データレジスタに格納された受信データを、電子機器側のCPUが取り込めない状態では、パリティエラーに伴う再送要求を利用して同一データの再送をICカード側へ供給する。よって、ICカードインタフェース装置は、電子機器側のCPUが他の処理のために受信データレジスタに格納された受信データの取り込み処理が遅れても、ICカード側から供給されるデータを電子機器側のCPUが確実に取

り込み得るようにする。

【0047】このように、ICカードインタフェース装置は、パリティエラーに伴う再送要求を利用して、受信データのフロー制御を行なうことから、ハード構成を増加させることなく、受信データのフロー制御を行なうことができる。

【0048】

【発明の実施の形態】以下、この発明の実施の形態について参照図面に基づいて説明する。図1はこの発明に係るICカードインタフェース装置60のブロック構成図である。なお、図面において、上述した従来のICカードインタフェース装置40と対応する構成については、同一符号を用いている。

各データは、再送要求信号80aを出力するよう構成している。

【0050】すなわちICカードインタフェース装置60は、図4に示した電子機器20側のCPU21のデータバスD-BUSにそれぞれ接続された受信データレジスタ部41と、送信データレジスタ部42と、状態データレジスタ部43と、制御データレジスタ部44と、電子機器側のCPU21のアドレスバスA-BUSならびに制御バスC-BUSに接続されたレジスタ制御部45と、半二重非同期通信の送受信部70とを備えている。

【0051】受信データレジスタ部41は、送受信部70から出力された受信データRXDを一時記憶するための受信バッファメモリを備える。この受信データレジスタ部41は、CPU21に対して主転送の受信データがバッファメモリにある場合は、この受信データに受信データがある旨の信号（データ受信フラグ）41aを状態データレジスタ部43へ供給する。

【0052】また、この受信データレジスタ部41は、レジスタ制御部45から受信データ出力指令45aが供給されると、バッファメモリに格納してある受信データrx dをデータバスD-BUSへ出力する。さらに、受信データレジスタ部41は、受信データrx dをデータバスD-BUSへ出力した後は、状態データレジスタ部43へのバッファメモリに受信データがある旨の信号（データ受信フラグ）41aの出力を停止する。

【0053】この受信データレジスタ部41は、ICカード10側から供給されるデータバス指定データの検出回路を備えている。そして、受信データレジスタ部41は、フォーマット指定データを受信した場合は、受信データがある旨の信号41aを発生しない。また、受信データレジスタ部41は、フォーマット指定データに基づいて指定されたフォーマットに対応して、受信データの上位ビット～上位ビットのデータの各格納位置に、受信データの上位ビット～上位ビットのデータを格納するようになっている。したがって、データバスD-BUS上へ出力される受信データrx dは、半二重非同期通信の伝送フォーマットに拘らず、データの上位ビット～上位ビットに対して、ICカード10側から供給されたデータの低位ビット～上位ビットが対応されている。

【0054】送信データレジスタ部42は、CPU21から供給される送信データtx dを一時記憶するための送信バッファメモリを備える。この送信データレジスタ部42は、送受信部70によって送信バッファメモリに

図1は、この発明に係るICカードインタフェース装置60のブロック構成図である。図1は、この発明に係るICカードインタフェース装置60のブロック構成図である。図1は、この発明に係るICカードインタフェース装置60のブロック構成図である。

図2は、この発明に係るICカードインタフェース装置60のブロック構成図である。図2は、この発明に係るICカードインタフェース装置60のブロック構成図である。図2は、この発明に係るICカードインタフェース装置60のブロック構成図である。

【0055】状態ポートレジスタ部43は、受信ポートレジスタ部41から供給される受信ポートがある旨の信号（ポート受信フラグ）41a、ならびに、送信ポートレジスタ部42から供給される送信ポートフラグが空き状態であったことを示す信号42aに基づいて、受信ポートの有無、ならびに、新たな受信ポートの受入れが可能な否かの状態に係る状態を管理し記憶している。そして、この状態ポートレジスタ部43は、レジスタ制御部45から送受信状態出力要求45cが供給されると、受信ポートの有無ならびに送信ポートの受入れが可能な否かの送受信に係る状態ポートSIDを、ポートバスD-BUS上に供給する。

【0056】したがって、電子機器20側のCPU21は、状態ポートレジスタ部43内のポートを読み出すことで、受信ポートの有無（ポート受信フラグ）がセットされているか否か、ならびに、送信ポートの受入れが可能な否かの送受信に係る状態を把握することとなる。

【0057】制御ポートレジスタ部44は、CPU21から供給される制御ポートを格納するレジスタを備える。この制御ポートレジスタ部44は、レジスタ制御部45から制御ポート読み込み指令45dが供給されると、ポートバスD-BUS上に供給される制御ポートCIRを読み込み一時記憶する。そして、この制御ポートレジスタ部44は、読み込んだ制御ポートCIRがICカード10に対するアクセス要求である場合は、ICカード10を動作状態に制御するタiming信号essをバスポート端子RSTを介してICカード10側に供給するとともに、クロック供給指令44aを送受信部70へ供給して、ICカード10に対するクロック供給を行なわせる。

【0058】レジスタ制御部45は、アドレスバスA-BUS上のアドレスポートを監視し、受信ポートレジスタ部41、送信ポートレジスタ部42、状態ポートレジスタ部43、制御ポートレジスタ部44の各レジスタ部に対しての制御信号を出力する。また、レジスタ制御部45は、レジスタ部41からの検出により、制御バスC-BUS上に供給される読み出しタiming信号、書き込みタiming信号に基づいて、アドレスポートによって指定されたレジスタ部41～44に対する指令（受信ポート出力指令45a、送信ポート読み込み指令45b、送受信状態出力要求45c、制御ポート読み込み指令45d）を生成して出力する。

【0059】半二重非同期通信の送受信部70は、送

信ポート53aを生成するパリティ生成部53とを備える。送受信部70は、パリティエラー発生時（例えば、受信ポートレジスタ部41内に先に受信した受信ポートがCPU21側から読み出されることが残されている場合に再送要求信号80aの生成ならびに送出行を行う再送要求生成部80）、パリティエラーが付加されたパリティビットの送信ポート53aを、シリアルデータの送信ポート55aへ変換する並列→直列変換部56、送信ポート55aならびに再送要求信号80aを送信ポート入出力端子110を介してICカード10側へ送出手送受信ポート部56と、送受信に必要な各種のタiming信号57aを生成するタiming信号生成部57を備える。さらに送受信部70は、電子機器20側から供給されるシステムクロックMCKを分周し、クロック端子CLKを介してICカード10側のクロック信号clkを供給するとともに、タiming信号生成部57のタiming信号生成に必要な基準クロック58aを供給するクロック分周部58を備える。

【0060】送受切替制御部52は、送信ポートレジスタ部42に送信すべきデータが格納されていない場合は、送受信部70を送信保持状態に制御する。受信保持状態において、送受切替制御部52は、ポート入出力端子110端子の信号を監視しており、ICカード10側から送信されたスタートビット31を検出すると、スタートビット検出パルス信号52aを生成し、生成したスタートビット検出パルス信号52aをタiming信号生成部57へ供給する。

【0061】タiming信号生成部57は、スタートビット検出パルス信号52aに基づいて、このタiming信号生成部57内に設けられたカウンタをリセットすると、カウンタを利用した各種のタiming信号生成回路から、受信ポートのスタートタイムに同期させた各種のタiming信号57aを出力する。

【0062】なお、電子機器20側のCPU21から制御ポートレジスタ部44へ伝送速度（ビット/秒）に係るデータを書き込むようにするとともに、制御ポートレジスタ部44に書き込まれた伝送速度（ビット/秒）に係るデータを、タiming信号生成部57へ供給する。タiming信号生成部57は、供給された伝送速度（ビット/秒）に係るデータに基づいて指定された伝送速度に応じたデラタートムでの各種のタiming信号57aを生成して出力するようにしてもよい。

【0063】直列→並列変換部51は、シリアル入力

【0064】電子機器20側のCPU21は、状態ポートレジスタ部43内のポートを読み出すことで、受信ポートの有無（ポート受信フラグ）がセットされているか否か、ならびに、送信ポートの受入れが可能な否かの送受信に係る状態を把握することとなる。

【0065】制御ポートレジスタ部44は、CPU21から供給される制御ポートを格納するレジスタを備える。この制御ポートレジスタ部44は、レジスタ制御部45から制御ポート読み込み指令45dが供給されると、ポートバスD-BUS上に供給される制御ポートCIRを読み込み一時記憶する。そして、この制御ポートレジスタ部44は、読み込んだ制御ポートCIRがICカード10に対するアクセス要求である場合は、ICカード10を動作状態に制御するタiming信号essをバスポート端子RSTを介してICカード10側に供給するとともに、クロック供給指令44aを送受信部70へ供給して、ICカード10に対するクロック供給を行なわせる。



とD1～D8の各ゲータ51aをハリサイ生成部53へ供給し、また受信したハリサイビットのゲータ51apを再送要求生成部80へそれぞれ供給する。

【0064】送受切替制御部52は、送受状態指示バス2bを介して、受信状態にあるとXは受信状態であることを示す受信モード信号52bRを、送信状態にあるとXは送信状態であることを示す送信モード信号52bTを、各回路部へ供給している。

【0065】ハリサイ生成部53は、送受状態指示バス2bを介して供給される受信モード信号52bRに基づいて受信モードにあることを検出した場合は、受信ゲータチェーンマスク51aを介して供給される受信ゲータ51ad（D1～D8）に基づいてハリサイビットゲータ53bを生成して、生成したハリサイビットゲータ53bを再送要求生成部80へ供給する。

【0066】再送要求生成部80は、送受状態指示バス2bを介して供給される受信モード信号52bRに基づいて受信モードにあることを検出した場合は、ハリサイ生成部53から供給されるハリサイビットゲータ53bと、受信ゲータチェーンマスク51aを介して供給される受信ハリサイビットゲータ51apとを比較する。再送要求生成部80は、両者のハリサイビットゲータが一致した場合はハリサイ一致検出信号80aを出力し、不一致の場合は不一致の再送要求信号80aを生成して出力する。

【0067】再送要求生成部80は、受信モードにおいて、受信ゲータレジスタ部41から先の受信ゲータが電子機器20側のCPU21によって取り込まれておらず、受信ゲータレジスタ部41内に先の受信ゲータが残されている状態にあることを示す信号（ゲータ受信フラグ）41aが供給されている場合は、ゲータを受信のたびに再送要求信号80aを出力するよう構成している。

【0068】再送要求生成部80は、タイムアウト信号生成部54へ供給される再送要求送出タイムアウト信号54a2に基づいて、同54a1の再送要求送出タイムアウトで再送要求信号80aを出力する。この再送要求信号80aは、マイヤード回路W1を介して送信パツパ部56の送信許可端子56aへ供給されるとともに、マイヤード回路W2を介して送信パツパ部56の送信ゲータ入力端子56bへ供給される。

【0069】送信パツパ部56は、送信許可端子56aに供給される信号がHレベルの場合は、出力端子56

シフトレジスタ内に格納してあるゲータビットD1～D8のゲータ（受信ゲータマスク）を受信ゲータRXDとして、受信ゲータレジスタ部41へ供給し、受信ゲータレジスタ部41に格納させる。

【0071】送受切替制御部52は、受信待機状態において、送信ゲータ52dを介して送信ゲータレジスタ部42に未送信の送信ゲータTXDがあるか否かを検出している。送受切替制御部52は、送信ゲータレジスタ部42に未送信の送信ゲータTXDがある場合は、送信状態であることを示す送信モード信号52bTを各回路部へ供給するとともに、送信ゲータレジスタ部42から送信ゲータTXDを取り込んで、取り込んだ送信ゲータTXDを送信ゲータ52dをしてハリサイ生成部53へ供給する。

【0072】ハリサイ生成部53は、送信モード信号52bTに基づいて送信モードであることを検出した場合は、送受切替制御部52から供給される送信ゲータ52d（TXD）に対してハリサイビットゲータを生成し、ハリサイビットを付加した送信ゲータ53aを並列→直列変換部55へ供給する。

【0073】並列→直列変換部55は、シラレル入力→シラレル出力型のシフトレジスタを備え、このシラレルレジスタにハリサイ生成部53から供給されるハリサイビットを付加した送信ゲータ53aを格納する。並列→直列変換部55は、先頭ビット（1レベルのスタートビット）を付加した送信ゲータ信号生成部57から供給される送信タイムアウト信号57a3に基づいて、シラレルレジスタの送信ゲータ55aを生成するとともに、この送信ゲータ55aをワイヤード回路W2を介して、送信パツパ部56の送信ゲータ入力端子56bへ供給する。

【0074】送受切替制御部52は、送信モードにあるとXは、1レベルの送信パツパ動作指令信号52b1を、ワイヤード回路W2を介して、送信パツパ部56の送信許可端子56aへ供給して、送信パツパ部56を動作可能状態に制御している。このとき、並列→直列変換部55から出力される送信ゲータ55aは、送信パツパ部56を介してゲータ入出力端子1/0からICウーバ10側へ送出される。

【0075】同10はこの発明に係るICウーバレジスタマスク装置60の動作を示すフローチャートである。ICウーバレジスタマスク装置60は、電源が投入されるか受信待機状態となり、この受信待機状態で受信ゲータレジスタ部41によるゲータビットの検出動作が組

成され、出力端子1/0からICウーバ10側へ送出されるよう構成されている。

【0076】並列→直列変換部55は、再送要求生成部

80から供給される再送要求信号80aに基づいて、再送要求信号80aを生成し、ICウーバレジスタマスク装置60のICウーバ10側へ送出される。

て、パリティ生成部53において、内部パリティゲータを生成する（ステップS13）。

【0077】ICカードインタフェース装置60は、データポートD1～D8に続いて受信されるデータフレームを受信する（ステップS14）。ICカードインタフェース装置60は、データポートより受信したことで一連のデータフレームはブロック（チャック）の受信が終了したことを検出する。このステップS15で、受信データレジスタ部41内に先に受信した受信データがCPU21側へ転送の状態で残されているか否かをチェックする。

【0078】このICカードインタフェース装置60では、受信データレジスタ部41から出力されるパリティメモリに受信データがある旨の信号（データ受信フラグ）41aに基づいて、受信データレジスタ部41に先に受信したデータが残されているか否か（受信データレジスタ部41が空きか否か）を判断している。

【0079】先に受信したデータが既にCPU21側に取り込まれており、パリティメモリに受信データがある旨の信号（データ受信フラグ）41aが出力されていない場合（受信データレジスタ部41が空きの場合）、ICカードインタフェース装置60内の再送要求生成部80は、パリティ生成部53で受信データD1～D8に基づいて生成した内部パリティデータ53bと、受信したデータフレームデータを比較し、パリティチェックを行なう（ステップS16）。

【0080】ICカードインタフェース装置60は、ステップS15で受信データレジスタ部41が空きでないことを検出した場合、ならびに、ステップS16でパリティ不一致が検出された場合は、ステップS17で再送要求生成部80において再送要求信号80aを生成して、所定の再送要求信号送出タイミングでICカード10側へ送出する。

【0081】ICカードインタフェース装置60は、ステップS16でパリティ不一致が検出された場合は、ステップS18で、受信データD1～D8を受信データRXDとして受信データレジスタ部41へ格納する。受信データRXDを受信データレジスタ部41へ格納すると、受信データレジスタ部41は、ステップS19で、パリティメモリに受信データがある旨の信号41aを出力する（データ受信フラグを出力する）。

【0082】ICカードインタフェース装置60は、受信状態および受信待ち状態において、ステップS11～

を状態レジスタ43を介して読み込むことで、受信データがあることを検出し、データポートD1～D8を介して受信データレジスタ部41に格納された受信データRXDを取り込むことができる。

【0083】ICカードインタフェース装置60は、電子機器20側のCPU21が、受信データレジスタ部41に格納された受信データRXDを取り込むと、受信データがある旨の信号41aが出力される。なるので（データ受信フラグを出力する）、次に受信したデータを受信データレジスタ部41に格納することができる。

【0084】ここで、ICカードインタフェース装置60は、電子機器20側のCPU21が他の処理等のために、受信データレジスタ部41に格納された受信データRXDを取り込むことができない場合、受信データがある旨の信号41aが継続して出力されているので（データ受信フラグのセット状態が継続）、次のデータを受信した場合は、ステップS15で、受信データレジスタ部が空でないことが判断され、ステップS17で再送要求信号が送出される。

【0085】ICカード10は、再送要求信号を受けると同一のデータを再送信する。ICカードインタフェース装置60は、再送信されたデータを受信した時点で、先に受信したデータを電子機器20側のCPU21が未に取り込んでいない場合は、再送要求信号が再度送出される。ICカードインタフェース装置60は、このようにして、先に受信したデータを電子機器20側のCPU21が取り込むまで、同一データの再送を繰り返すことができるので、ICカード10側から送出されたデータを取りこぼすことなく、確実に受信することができる。

【0086】なお、図1ならびに図2に示したICカードインタフェース装置60においては、受信データレジスタ部41に受信データが格納された時点で、データ受信フラグを出力し、電子機器20側のCPU21が受信データレジスタ部41に格納された受信データを取り込む。データ受信フラグを出力する構成によれば、本発明は以下の構成に限定されない。例えば、ICカードインタフェース装置60は、電子機器20側のCPU21が他の処理のために受信データを取り込まない状態にあるときは、その旨を示すデータ受信一時待ちフラグを制御データレジスタ部44に書き込み、再送要求生成部80は、この制御データレジスタ部44に書き込まれたデータ受信一時待ちフラグに基づいて、再送要求信号送出タイミング毎に再送要求を送出するようにしてら

る。データ受信一時待ちフラグは、データ受信一時待ちデータレジスタ部45に書き込み、電子機器20側のCPU21がデータ受信一時待ちフラグを読み込み、ICカードインタフェース装置60は再送要求を

送出する。電子機器20側のCPU21がデータ受信一時待ちフラグを読み込み、データ受信一時待ちフラグを読み込んだ時点で、データ受信一時待ちフラグを消去し、ICカードインタフェース装置60は再送要求

レジスタ部41で、送信側から送出されたデータの取りこぼしを解消できるようにしたので、ICカードインタフェース装置60のハード構成を増加することなく、データの受信を確実に行なうことができる。

#### 【0088】

【発明の効果】以上説明したようにこの発明に係るICカードインタフェース装置は、電子機器側のCPUが所定の時間内に受信データを取り込むことができず、受信データレジスタに先に受信したデータが格納されている場合は、パリティエラーに伴う再送要求を利用して同一データの再送をICカード側へ供給することで、新たな受信データの受信もれをなくすようにしたので、ICカードインタフェース装置のハード構成を増加することなく、データ受信を確実に行なうことができる。

#### 【図面の簡単な説明】

【図1】 この発明に係るICカードインタフェース装置のブロック構成図である。

【図2】 この発明に係るICカードインタフェース装置の動作を示すフローチャートである。

【図3】 ISO準拠のICカードの外部接続端子の説明図である。

【図4】 ICカードおよびICカードが装着される電子\*

\*機器のブロック構成図である

【図5】 半二重非同期通信のデータ伝送フォーマットの説明図である

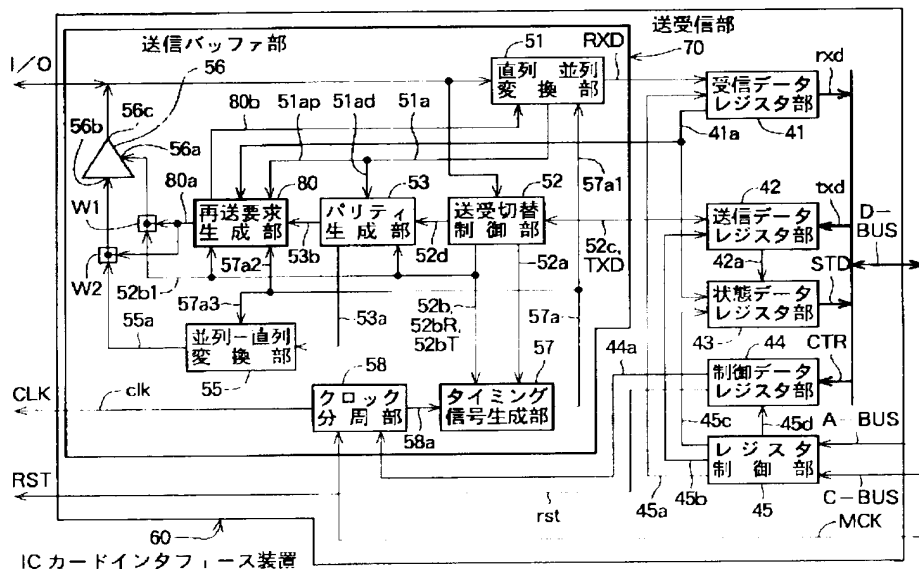
【図6】 電子機器側に設けられる従来のICカードインタフェース装置のブロック構成図である

【図7】 従来のICカードインタフェース装置の動作を示すフローチャートである

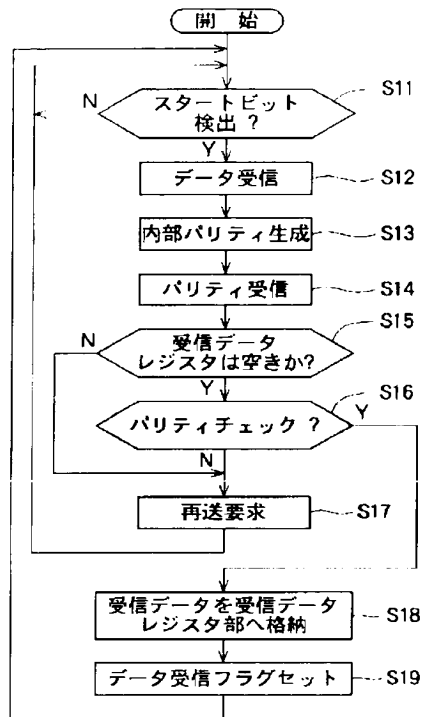
#### 【符号の説明】

- 10 ICカード
- 20 電子機器
- 21 電子機器側のCPU
- 41 受信データレジスタ部
- 51 直列-並列変換部
- 52 送受切替制御部
- 53 パリティ生成部
- 56 送信バッファ
- 57 タイミング信号生成部
- 60 ICカードインタフェース装置
- 70 半二重非同期通信の送受信部
- 80 再送要求生成部
- 80a 再送要求信号

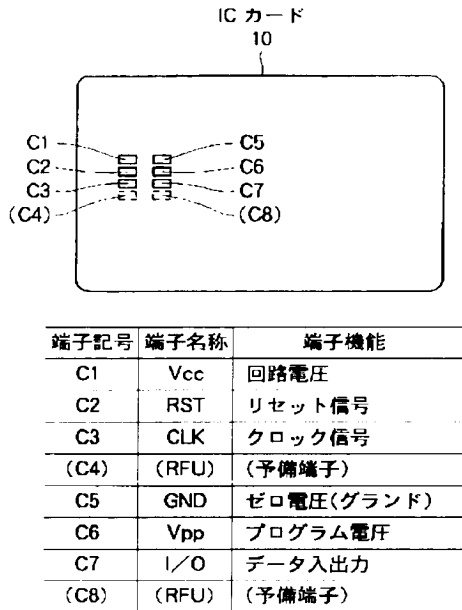
【図1】



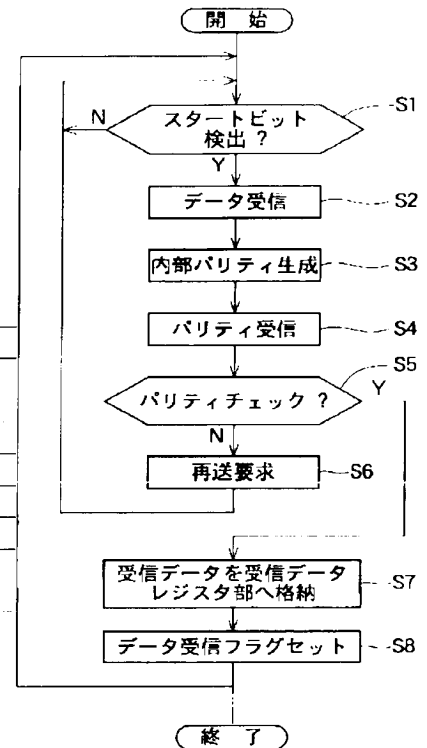
【図2】



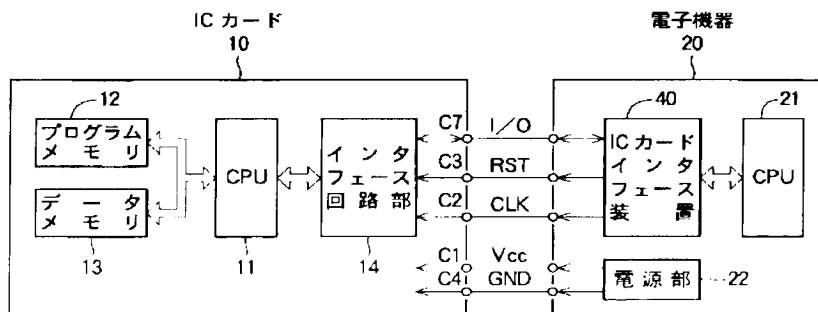
【図3】



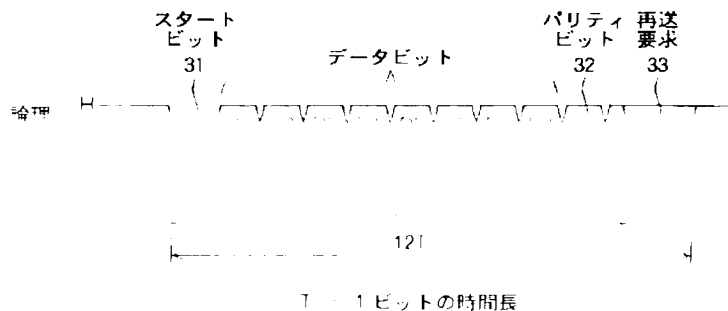
【図7】



【図4】



【図5】



【図6】

